

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

16543848

Basic Patent (No,Kind,Date): JP 4278914 A2 19921005 <No. of Patents: 006>

METHOD FOR DRIVING LIQUID CRYSTAL ELECTRO-OPTICAL DEVICE

(English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): MASE AKIRA; YAMAZAKI SHUNPEI

IPC: *G02F-001/133; G02F-001/136; G09G-003/36

CA Abstract No: 118(26)263969K

JAPIO Reference No: 170076P000024

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 4278914	A2	19921005	JP 90418869	A	19901227	(BASIC)
JP 4278925	A2	19921005	JP 90418868	A	19901227	
JP 2000155340	A2	20000606	JP 99361874	A	19901227	
JP 3431873	B2	20030728	JP 99361874	A	19901227	
KR 9408180	B1	19940907	KR 9124322	A	19911226	
US 5534884	A	19960709	US 208802	A	19940311	

Priority Data (No,Kind,Date):

JP 90418869 A 19901227
JP 90418868 A 19901227
JP 99361874 A 19901227
US 208802 A 19940311
US 813757 B1 19911227

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

03913825 **Image available**

LIQUID CRYSTAL ELECTROOPTICAL DEVICE

PUB. NO.: **04-278925** [JP 4278925 A]

PUBLISHED: October 05, 1992 (19921005)

INVENTOR(s): MASE AKIRA

YAMAZAKI SHUNPEI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 02-418868 [JP 90418868]

FILED: December 27, 1990 (19901227)

INTL CLASS: [5] G02F-001/136; G02F-001/133; H01L-027/12; H01L-029/784

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R005 (PIEZOELECTRIC FERROELECTRIC SUBSTANCES); R011

(LIQUID CRYSTALS); R119 (CHEMISTRY -- Heat Resistant Resins); R131

(INFORMATION PROCESSING -- Microcomputers & Microprocessors);

R139 (INFORMATION PROCESSING -- Word Processors)

JOURNAL: Section: P, Section No. 1487, Vol. 17, No. 76, Pg. 27,

February 16, 1993 (19930216)

ABSTRACT

PURPOSE: To lower electric power consumption by providing a liquid crystal panel provided with active elements constituted as C/TFTs at respective picture elements constituted in a matrix and two kinds of memories which store display contents.

CONSTITUTION: The liquid crystal panel constituted by connecting the source (drain) parts of the PTFT 13 and NTFT 22 constituted as the C/TFTs (complementary type thin-film transistors) provided on the picture elements to a common 1st signal line 31 or 32 and further connecting the gate electrodes of both TFTs 13, 22 to a common 2nd signal line 33 is used. The display contents displayed on the liquid crystal panel in arbitrary time are stored into the 1st electrical memory. The image information controlled by a CPU is stored into the 2nd electrical memory. The function to compare the contents of the 1st and 2nd electrical memories is acted to send a signal for rewriting only when the information on the arbitrary corresponding address in the 1st and 2nd memories varies as a result of the comparison.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-278925

(43) 公開日 平成4年(1992)10月5日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/133	5 6 0	7820-2K		
H 0 1 L 27/12	A	8728-4M		
29/784		9056-4M		
			H 0 1 L 29/ 78	3 1 1 A
			審査請求	未請求 請求項の数 6 (全 14 頁)

(21) 出願番号 特願平2-418868

(22) 出願日 平成2年(1990)12月27日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 間瀬 晃

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

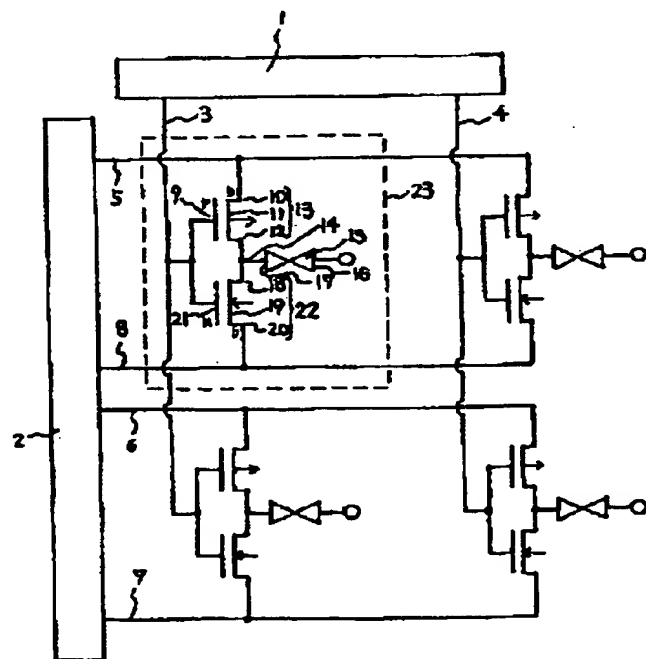
導体エネルギー研究所内

(54) 【発明の名称】 液晶電気光学装置

(57) 【要約】

【目的】 パソコン、ワープロ等に使用する低消費電力型の液晶表示装置を提案する。

【構成】 マトリクス構成した画素の各々にC/TFT構成のアクティブ素子を設けた液晶パネルと該液晶パネルの表示内容を記憶する2種類のメモリーを設けることにより、低消費電力の液晶表示装置を実現する。



【特許請求の範囲】

【請求項1】基板上にマトリックス構成を有する信号線を有し、それぞれの画素電極にPチャンネル型薄膜トランジスタとNチャンネル型薄膜トランジスタとを相補型に構成した相補型薄膜トランジスタを設け、該相補型薄膜トランジスタの入出力側の一方を前記画素電極へ、他の一方を前記マトリックス構成を有する一対の信号線の第1の信号線へ接続し、かつ前記相補型薄膜トランジスタのゲートを前記マトリックス構成を有する信号線の第2の信号線へ接続した電気回路を設けた第1の基板と、基板上に電極およびリードを設けた第2の基板によって、強誘電性を示す液晶組成物と前記液晶組成物の少なくとも、初期における配向を行わせる手段を挾持した液晶パネルと該液晶パネルの任意の時間に表示をしている内容を記憶している第1の電気的メモリーと、前記任意時間から単位時間後の表示内容を記憶している第2の電気的メモリーと、第1、第2の電気的メモリーの内容を比較する機能を有することを特徴とする液晶電気光学装置。

【請求項2】請求項1に記載の表示装置であって、1つの画素に対して2つまたはそれ以上のNチャンネル型薄膜トランジスタと2つまたはそれ以上のPチャンネル型薄膜トランジスタとが相補型構成として設けられている基板を第一の基板としたことを特徴とする液晶電気光学装置。

【請求項3】請求項1に記載の表示装置であって、1つの画素に対して2つまたはそれ以上に画素電極が分割されており、それぞれの画素電極に対して2つまたはそれ以上のNチャンネル型薄膜トランジスタと2つまたはそれ以上のPチャンネル型薄膜トランジスタとが相補型構成として設けられている基板を第一の基板としたことを特徴とする液晶電気光学装置。

【請求項4】基板上の画素に対してNチャンネル型薄膜トランジスタと、Pチャンネル型薄膜トランジスタとを相補構成として有し、前記Nチャンネル型薄膜トランジスタのソース（ドレイン）部を一対の信号線のうちの第1の信号線に接続し、前記Pチャンネル型薄膜トランジスタのソース（ドレイン）部を一対の信号線のうちの第2の信号線に接続し、前記Nチャンネル型薄膜トランジスタとPチャンネル型薄膜トランジスタのゲート電極を、共通に第3の信号線に接続し、前記Nチャンネル型薄膜トランジスタおよびPチャンネル型薄膜トランジスタのドレイン（ソース）部を、画素電極と接続した電気回路を有する第1の基板と、基板上に電極およびリードを有する第2の基板とによって、強誘電性を示す液晶組成物および前記液晶組成物の少なくとも初期における配向を行わせる手段を挾持した液晶パネルと該液晶パネルの任意の時間に表示をしている内容を記憶している第2の電気的メモリーと、第1、第2の電気的メモリーの内容を比較する機能を有することを特徴とする液晶電気光

学装置。

【請求項5】請求項4に記載の表示装置であって、1つの画素に対して2つまたはそれ以上のNチャンネル型薄膜トランジスタと2つまたはそれ以上のPチャンネル型薄膜トランジスタとが相補型構成として設けられている基板を第一の基板としたことを特徴とする液晶電気光学装置。

【請求項6】請求項4に記載の表示装置であって、1つの画素に対して2つまたはそれ以上に画素電極が分割されており、それぞれの画素電極に対して2つまたはそれ以上のNチャンネル型薄膜トランジスタと2つまたはそれ以上のPチャンネル型薄膜トランジスタとが相補型構成として設けられている基板を第一の基板としたことを特徴とする液晶電気光学装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、マイクロコンピュータ、ワードプロセッサ等の表示画面として特に携帯用途に用いるために、消費電力を低く抑えなければならない液晶表示装置を提案するにある。

【0002】

【従来の技術】従来マイクロコンピュータ、ワードプロセッサ等の表示画面として使用されてきた液晶電気光学装置は、STN（スーパーツイストネマチック液晶）または、薄膜トランジスタとTN（ツイストネマチック液晶）を組み合わせた液晶パネルが多く用いられていた。

【0003】これらのパネル自体の消費電力は、640×480クラスのもので約250mW程度である。その理由として、ネマチック系の液晶は電界が加わった時にのみ動作をするため、表示をさせると言うことは常に電界を加え続けると言うこと意味していた。そのために、パネル駆動のための消費電力を押さえて、乾電池のような低充電電池だけで50～80時間程の動作を確保することは困難であった。

【0004】しかしながら、近年世の中の要求は軽薄短小化の方向にあり、動作時間確保のための重たい充電電池を搭載することは懸念されていた。従って、通常の乾電池でも十分長時間動作できる液晶パネルがもためられていた。

【0005】

【発明が解決しようとする課題】そこで提案されたものが、強誘電性液晶をもちいたディスプレイであった。強誘電性液晶は自発分極を有するために、螺旋がほどけるまで液晶層の厚みを小さくした場合、界面安定状態（SSFLC）が出来、一度電界を加えたあとは、その電界を取り去っても透過または非透過の状態が継続するメモリー効果を得ることが出来た。

【0006】このメモリー状態を利用することによって、構成画面の中で書き換えた部分にのみ、信号電界

を加えて表示を更新することで、従来のネマチック系の液晶に比べて格段に消費電力を低減することが出来ると提案されている。

【0007】しかしながらこのメモリー性を強調した場合、現実的には『焼け』と呼ばれる現象が起き、表示不良をひきおこしている。『焼け』は一度透過なり非透過なりの状態をメモリーさせて長時間放置した場合、次にその逆の状態を表示使用としても完全な非透過または透過の状態が得られず、コントラストの低下を引き起こしていた。

【0008】これを解決する手段として、メモリー性を極力押さえた液晶材料を用いて、表示を行なうことが有効であることが判った。強誘電性液晶において、全くメモリー性の無いまたは自発分極を持たない組成物は存在しえないが、『焼け』を解消するためにそれらを極力押さえた場合、数画面分のメモリー性はあるものの、構成画面の中で書き換えたい部分にのみ、信号電界を加えて表示を更新するような方法を該強誘電性液晶組成物に適用することは出来なかった。

【0009】しかし、強誘電性液晶の持つ高速応答性については捨てがたく、この特徴を生かしたまま『焼け』現象が解決されるような方法がもとめられていた。

【0010】

【課題を解決するための手段】アモルファスシリコン等を用いた薄膜トランジスタを構成画素のスイッチング素子として、画素1個に対し、1個設けてスタティック駆動する方法がネマチック系の液晶では多く実用化している。

【0011】しかしながら、強誘電性液晶にこれら従来の薄膜トランジスタを用いた場合、TFTの出力、即ち液晶にとっての入力（液晶電位という）の電圧 V_{lc} は、しばしば“1”（High）となるべき時に“1”（High）にならず、また、逆に“0”（Low）となるべき時に“0”（Low）にならない。これは、画素に信号を加えるスイッチング素子、つまりTFTの特性に対称性がないために発生する。すなわち、画素電極への充電の様子と放電の様子に電気特性上のかたよりがあるためである。そして、液晶はその動作において本来絶縁性であり、また、TFTがオフの時に液晶電位（ V_{lc} ）は浮いた状態になる。この液晶は等価的にキャパシタであるため、そこに蓄積された電荷により V_{lc} が決められる。この電荷は液晶が R_{lc} で比較的小さい抵抗となったり、ゴミやイオン性不純物の存在によりリークしたり、またTFTのゲート絶縁膜のピンホールにより R_{gs} が生じた場合にはそこから電荷がもれ、 V_{lc} は中途半端な状態になってしまう。

【0012】また、自発分極からくる誘電率の増大による容量値の増加のために、瞬間的に流れる電流も大きく、従来のTFTでは限界があった。

【0013】本発明は、画素に対してNTFTとPTFT

Tとを相補構成として有し、前記PTFTのソース（ドレイン）部を一对の信号線のうちの第1の信号線に接続し、前記NTFTのソース（ドレイン）部を一对の信号線のうちの第2の信号線に接続し、前記NTFTとPTFTのゲート電極を共通に第3の信号線に接続し、前記NTFTおよびPTFTのドレイン（ソース）部を画素電極と接続して設けられている電気回路を第一の基板と基板上に電極およびリードを設けた第2の基板によって、強誘電性を示す液晶組成物と前記液晶組成物の少なくとも、初期における配向を行わせる手段を挾持した液晶パネルを用いた。

【0014】また、PTFTとNTFTとのソース（ドレイン）部を共通の第1の信号線に接続し、前記PTFTとNTFTとのドレイン（ソース）部を画素電極に接続しさらに、前記PTFTとNTFTとのゲート電極を共通の第2の信号線に接続した図5のような回路で示される液晶パネルにおいても同様に本発明を適用することができる。

【0015】該構成を取ることによって、メモリー性を極力低減させた強誘電性液晶においても、『焼け』現象が生じることなく、装置全体としてはメモリー表示が可能となった。

【0016】そこで、パネルの任意の時間に表示をしている内容を記憶している第1の電氣的メモリーと、前記任意時間から単位時間後の表示内容を記憶している第2の電氣的メモリーと、第1、第2の電氣的メモリーの内容を比較する機能を本装置の構成に加えることによって書き換えが必要な部分のみに、電気信号を加えることで表示が出来、パネルにかかる消費電力を極力低減することが出来る。

【0017】本発明の表示装置の構成としては、1つの画素に2つまたはそれ以上のC/TFTを連結して1つのピクセルを構成せしめてもよい。さらに1つのピクセルを2つまたはそれ以上に分割し、それぞれにC/TFTを1つまたは複数個連結してもよい。

【0018】

【実施例1】本実施例では図1に示すような回路構成の液晶表示装置を用いて説明を行う。この回路構成に対応する実際の電極等の配置構成を図2に示している。これらは説明を簡単にする為2×2に相当する部分のみ記載されている。また、実際の駆動信号波形を図3に示す。これも説明を簡単にする為に4×4のマトリクス構成とした場合の信号波形で説明を行う。

【0019】まず、本実施例で使用する液晶表示装置の作製方法を図4を使用して説明する。図4（A）において、石英ガラス等の高価でない700℃以下、例えば約600℃の熱処理に耐え得るガラス50上にマグネトロンRF（高周波）スパッタ法を用いてブロッキング層51としての酸化珪素膜を1000～3000Åの厚さに作製する。プロセス条件は酸素100%雰囲気、成膜温

度15℃、出力400~800W、圧力0.5Paとした。ターゲットに石英または単結晶シリコンを用いた成膜速度は30~100Å/分であった。

【0020】この上にシリコン膜をLPCVD（減圧気相）法、スパッタ法またはプラズマCVD法により形成した。減圧気相法で形成する場合、結晶化温度よりも100~200℃低い450~550℃、例えば530℃でジシラン（ Si_2H_6 ）またはトリシラン（ SiH_3 ）をCVD装置に供給して成膜した。反応炉内圧力は30~300Paとした。成膜速度は50~250Å/分であった。NTFTとPTFTとのスレッシュホールド電圧（ V_{th} ）に概略同一に制御するため、ホウ素をジボランを用いて $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の濃度として成膜中に添加してもよい。

【0021】スパッタ法で行う場合、スパッタ前の背圧を $1 \times 10^{-5} \text{ Pa}$ 以下とし、単結晶シリコンをターゲットとして、アルゴンに水素を20~80%混入した雰囲気で行った。例えばアルゴン20%、水素80%とした。成膜温度は150℃、周波数は13.56MHz、スパッタ出力は400~800W、圧力は0.5Paであった。

【0022】プラズマCVD法により珪素膜を作製する場合、温度は例えば300℃とし、モノシラン（ SiH_4 ）またはジシラン（ Si_2H_6 ）を用いた。これらをPCVD装置内に導入し、13.56MHzの高周波電力を加えて成膜した。

【0023】これらの方法によって形成された被膜は、酸素が $5 \times 10^{21} \text{ cm}^{-3}$ 以下であることが好ましい。この酸素濃度が高いと、結晶化させにくく、熱アニール温度を高くまたは熱アニール時間を長くしなければならない。また少なすぎると、バックライトによりオフ状態のリーク電流が増加してしまう。そのため $4 \times 10^{19} \sim 4 \times 10^{21} \text{ cm}^{-3}$ の範囲とした。水素は $4 \times 10^{20} \text{ cm}^{-3}$ であり、珪素 $4 \times 10^{22} \text{ cm}^{-3}$ として比較すると1原子%であった。また、ソース、ドレインに対してより結晶化を助長させるため、酸素濃度を $7 \times 10^{19} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{19} \text{ cm}^{-3}$ 以下とし、ピクセル構成するTFTのチャネル形成領域のみに酸素をイオン注入法により $5 \times 10^{20} \sim 5 \times 10^{21} \text{ cm}^{-3}$ となるように添加してもよい。その時周辺回路を構成するTFTには光照射がなされないため、この酸素の混入をより少なくし、より大きいキャリア移動度を有せしめることは、高周波動作をさせるため有効である。

【0024】次に、アモルファス状態の珪素膜を500~5000Å、例えば1500Åの厚さに作製の後、450~700℃の温度にて12~70時間非酸化物雰囲気にて中温の加熱処理、例えば水素雰囲気下にて600℃の温度で保持した。珪素膜の下基板表面にアモルファス構造の酸化珪素膜が形成されているため、この熱処

理で特定の核が存在せず、全体が均一に加熱アニールされる。即ち、成膜時はアモルファス構造を有し、また水素は単に混入しているのみである。

【0025】アニールにより、珪素膜はアモルファス構造から秩序性の高い状態に移り、一部は結晶状態を呈する。特にシリコンの成膜後の状態で比較的秩序性の高い領域は特に結晶化をして結晶状態となろうとする。しかしこれらの領域間に存在する珪素により互いの結合がなされるため、珪素同志は互いにひっぱりあう。レーザラマン分光により測定すると単結晶の珪素のピーク 522 cm^{-1} より低周波側にシフトしたピークが観察される。その見掛け上の粒径は半値巾から計算すると、50~500Åとマイクロクリスタルのようにになっているが、実際はこの結晶性の高い領域は多数あってクラスタ構造を有し、各クラスタ間は互いに珪素同志で結合（アンカリング）がされたセミアモルファス構造の被膜を形成させることができた。

【0026】結果として、被膜は実質的にグレインバウンダリ（以下GBという）がないといってもよい状態を呈する。キャリアは各クラスタ間をアンカリングされた箇所を通じ互いに容易に移動し得るため、いわゆるGBの明確に存在する多結晶珪素よりも高いキャリア移動度となる。即ちホール移動度（ μ_h ）=10~200 $\text{ cm}^2/\text{Vsec}$ 、電子移動度（ μ_e ）=15~300 $\text{ cm}^2/\text{Vsec}$ が得られる。

【0027】他方、上記の如き中温でのアニールではなく、900~1200℃の高温アニールにより被膜を多結晶化すると、核からの固相成長により被膜中の不純物の偏析がおきて、GBには酸素、炭素、窒素等の不純物が多くなり、結晶中の移動度は大きい、GBでのバリア（障壁）を作ってそこでのキャリアの移動を阻害してしまう。結果として10 $\text{ cm}^2/\text{Vsec}$ 以上の移動度がなかなか得られないのが実情である。即ち、本実施例ではかくの如き理由により、セミアモルファスまたはセミクリスタル構造を有するシリコン半導体を用いている。

【0028】図4（A）において、珪素膜を第1のフォトマスク①にてフォトエッチングを施し、PTFT用の領域13（チャネル巾20 μm ）を図面の右側に、NTFT用の領域22を左側に作製した。

【0029】この上に酸化珪素膜をゲイト絶縁膜として500~2000Å例えば1000Åの厚さに形成した。これはブロック層としての酸化珪素膜の作製と同一条件とした。この成膜中に弗素を少量添加し、ナトリウムイオンの固定化をさせてもよい。

【0030】この後、この上側にリンが $1 \sim 5 \times 10^{21} \text{ cm}^{-3}$ の濃度に入ったシリコン膜またはこのシリコン膜とその上にモリブデン（Mo）、タングステン（W）、 MoSi_2 または WSi_2 との多層膜を形成した。これを第2のフォトマスク②にてパターンニングして

図4(B)を得た。PTFT用のゲイト電極55、NTFT用のゲイト電極56を形成した。例えばチャンネル長 $10\mu\text{m}$ 、ゲイト電極としてリンドープ珪素を $0.2\mu\text{m}$ 、その上にモリブデンを $0.3\mu\text{m}$ の厚さに形成した。図4(C)において、フォトレジスト57をフォトマスク③を用いて形成し、PTFT用のソース59ドレイン58に対し、ホウ素を $1\sim 5\times 10^{15}\text{cm}^{-2}$ のドーズ量でイオン注入法により添加した。次に図4(D)の如く、フォトレジスト61をフォトマスク④を用いて形成した。NTFT用のソース64、ドレイン62としてリンを $1\sim 5\times 10^{15}\text{cm}^{-2}$ のドーズ量でイオン注入法により添加した。

【0031】これらはゲイト絶縁膜54を通じて行った。しかし図4(B)において、ゲイト電極55、56をマスクとしてシリコン膜上の酸化珪素を除去し、その後、ホウ素、リンを直接珪素膜中にイオン注入してもよい。

【0032】次に、 600°C にて $10\sim 50$ 時間再び加熱アニールを行った。PTFTのソース59ドレイン58NTFTのソース64、ドレイン62を不純物を活性化して P^- 、 N^- として作製した。またゲイト電極55、56下にはチャンネル形成領域60、63がセミアモルファス半導体として形成されている。

【0033】かくすると、セルフアライン方式でありながらも、 700°C 以上にすべての工程で温度を加えることがなくC/TFTを作ることができる。そのため、基板材料として、石英等の高価な基板を用いなくてもよく、本発明の大画面の液晶表示装置にきわめて適したプロセスである。

【0034】本実施例では熱アニールは図4(A)、(D)で2回行った。しかし図4(A)のアニールは求める特性により省略し、双方を図4(D)のアニールにより兼ね製造時間の短縮を図ってもよい。図4(E)において、層間絶縁物65を前記したスパッタ法により酸化珪素膜の形成として行った。この酸化珪素膜の形成はLPCVD法、光CVD法、常圧CVD法を用いてもよい。例えば $0.2\sim 0.6\mu\text{m}$ の厚さに形成し、その後、フォトマスク⑤を用いて電極用の窓66を形成した。さらに、これら全体にアルミニウムをスパッタ法により形成し、リード71、72およびコンタクト67、68をフォトマスク⑥を用いて作製した後、表面を平坦化用有機樹脂69例えば透光性ポリイミド樹脂を塗布形成し、再度の電極穴あけをフォトマスク⑦にて行った。

【0035】図4(F)に示す如く2つのTFTを相補型構成とし、かつその出力端を液晶装置の一方の画素の電極を透明電極としてそれに連結するため、スパッタ法によりITO(インジウム・スズ酸化膜)を形成した。それをフォトマスク⑧によりエッチングし、電極70を構成させた。このITOは室温 $\sim 150^{\circ}\text{C}$ で成膜し、 $200\sim 400^{\circ}\text{C}$ の酸素または大気中のアニールに

より成就した。かくの如くにしてPTFT22とNTFT13と透明導電膜の電極70とを同一ガラス基板50上に作製した。得られたTFTの特性はPTFTで移動度は $20(\text{cm}^2/\text{Vs})$ 、 V_{th} は $-5.9(\text{V})$ で、NTFTで移動度は $40(\text{cm}^2/\text{Vs})$ 、 V_{th} は $5.0(\text{V})$ であった。

【0036】上記の様な方法に従って作製された液晶装置用の一方の基板と他方ガラス基板上に全面に透明電極を設け、これら基板を張り合わせて液晶セルを形成し、この中に強誘電性液晶を封入して液晶パネルを得た。

【0037】任意の時間に液晶パネルに表示されている情報内容は、第1の電気的メモリーの中に記憶させてある。本実施例においてはSRAMを使用した。

【0038】コンピュータまたはワードプロセッサ等のCPUで制御されている画像情報は一度第2の電気的メモリーとに記憶させる。本実施例においてはこちらもSRAMを使用した。その理由としては、高速動作が可能のためである。また更に第1、第2の電気的メモリーの内容を比較する機能として、比較の結果第一と第二のメモリー中の任意の対応番地の情報が異なった場合のみ書換えの信号を送る様にした。

【0039】

【実施例2】本実施例では図5に示すような回路構成の液晶パネルを用いて説明を行う。図5に記載の様に、画素に設けられたC/TFT構成のPTFTとNTFTとのソース(ドレイン)部を共通の第1の信号線31または32に接続し、前記PTFTとNTFTとのドレイン(ソース)部を画素電極17に接続し、さらに、前記PTFTとNTFTとのゲイト電極を共通の第2の信号線33に接続した液晶パネルとなっている。

【0040】また、この回路構成に対応する実際の電極等の配置構成を図6に示している。これらは説明を簡単にする為 2×2 に相当する部分のみ記載されている。また、実際の駆動信号波形を図7に示す。これも説明を簡単にする為 2×2 のマトリクス構成とした場合の信号波形で説明を行う。これらの製造プロセスは、実施例の1と同様である。

【0041】また、任意の時間に液晶パネルに表示されている情報内容は、第1の電気的メモリーの中に記憶させてある。本実施例においてはSRAMを使用した。

【0042】コンピュータまたはワードプロセッサ等のCPUで制御されている画像情報は一度第2の電気的メモリーとに記憶させる。本実施例においてはこちらもSRAMを使用した。その理由としては、高速動作が可能のためである。また更に第1、第2の電気的メモリーの内容を比較する機能として、比較の結果第一と第二のメモリー中の任意の対応番地の情報が異なった場合のみ書換えの信号を送る様にした。

【0043】

【発明の効果】該構成を取ることによって、メモリー性

を極力低減させた強誘電性液晶においても、『焼け』現象が生じることなく、装置全体としてはメモリー表示が可能となった。

【0044】そこで、パネルの任意の時間に表示をしている内容を記憶している第1の電気的メモリーと、前記任意時間から単位時間後の表示内容を記憶している第2の電気的メモリーと、第1、第2の電気的メモリーの内容を比較する機能を本装置の構成に加えることによって書換えが必要な部分のみに、電気信号を加えることで表示が出来、パネルにかかる消費電力を極力低減することが出来る。

【0045】通常のワードプロセッサの動作時の消費

電力をSTN液晶パネルと比較すると、STN液晶パネルが平均250mWであるのに対し、本発明の構成では、20～30mW程度になり、ほぼ1/10になることが判った。

【図面の簡単な説明】

【図1】本発明による回路構成を示す。

【図2】本発明による装置の構造を示す。

【図3】本発明による駆動方法を示す。

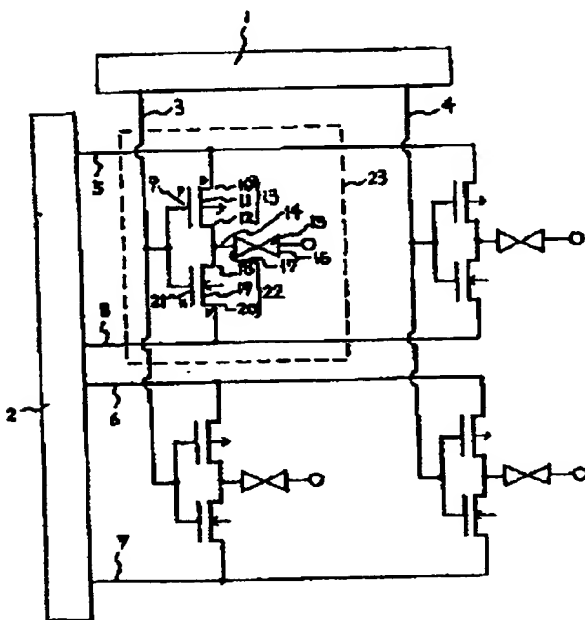
【図4】本発明によるプロセスフローを示す。

【図5】本発明による回路構成を示す。

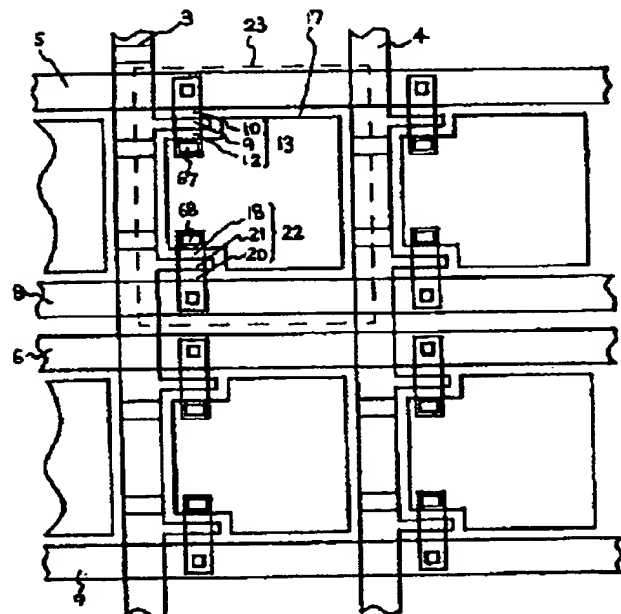
【図6】本発明による装置の構造を示す。

【図7】本発明による駆動方法を示す。

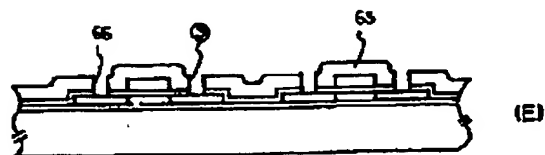
【図1】



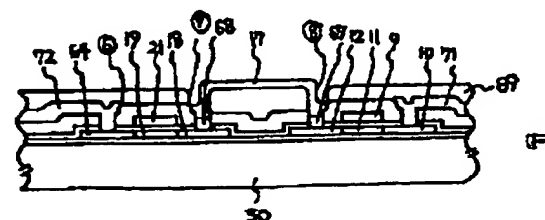
【図2】



【図4】

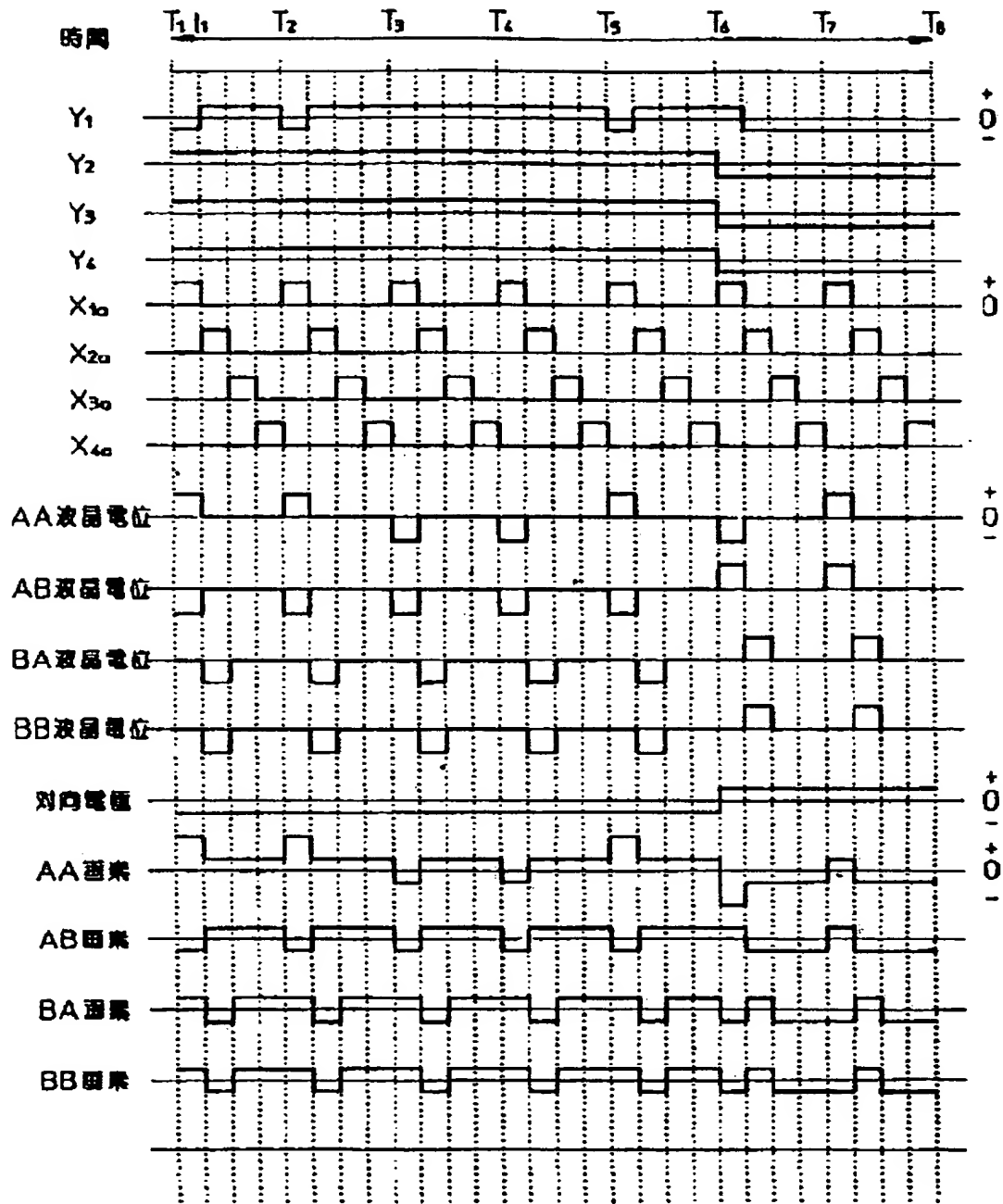


(E)



(F)

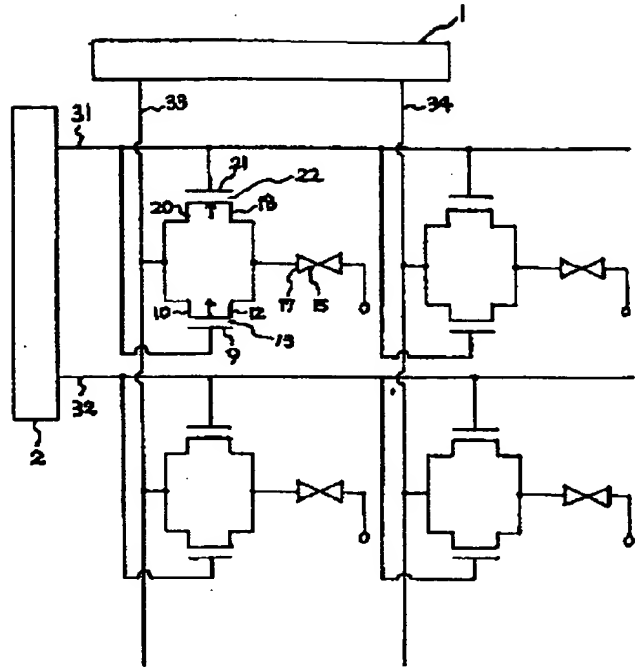
【図3】



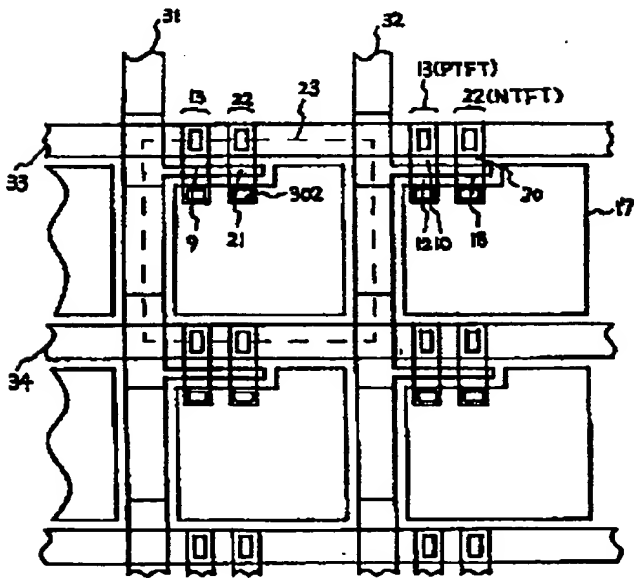
【図 4】



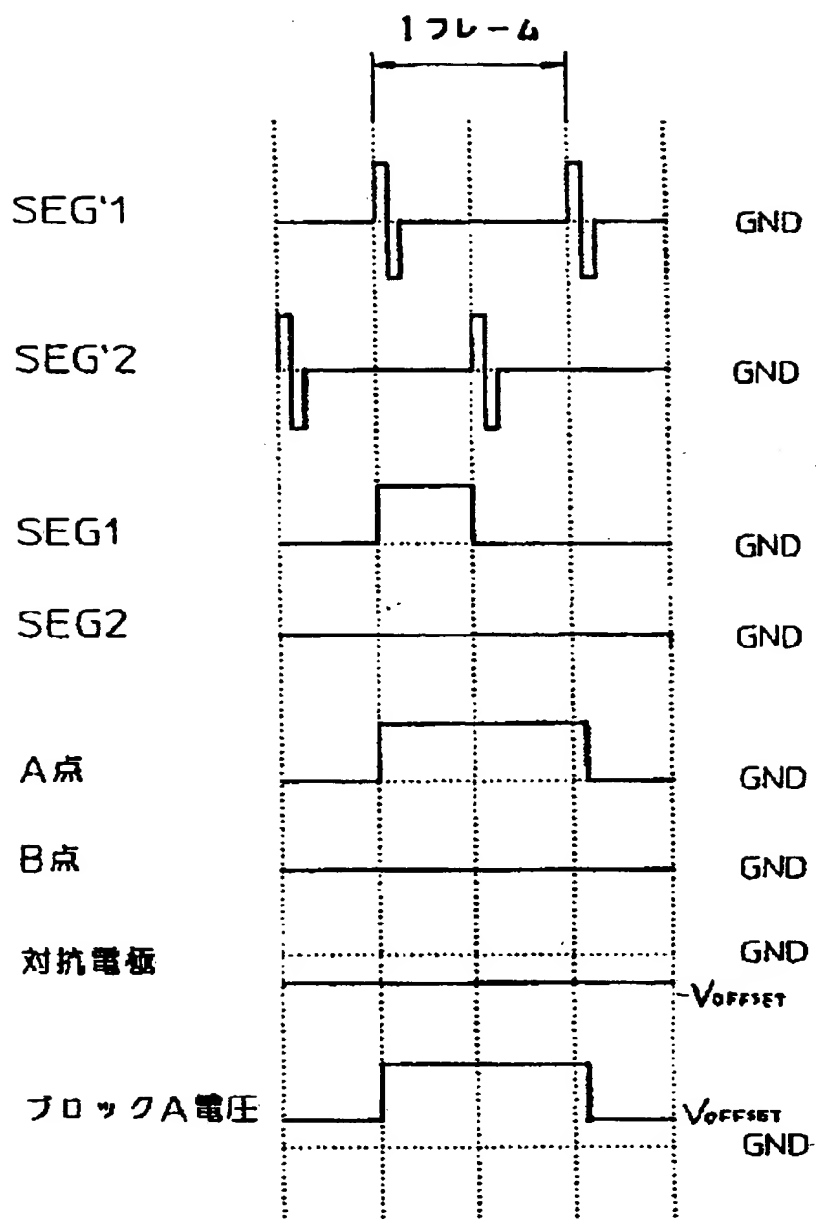
【图 5】



【图 6】



【図7】



【手続補正書】

【提出日】平成3年12月26日

【手続補正1】

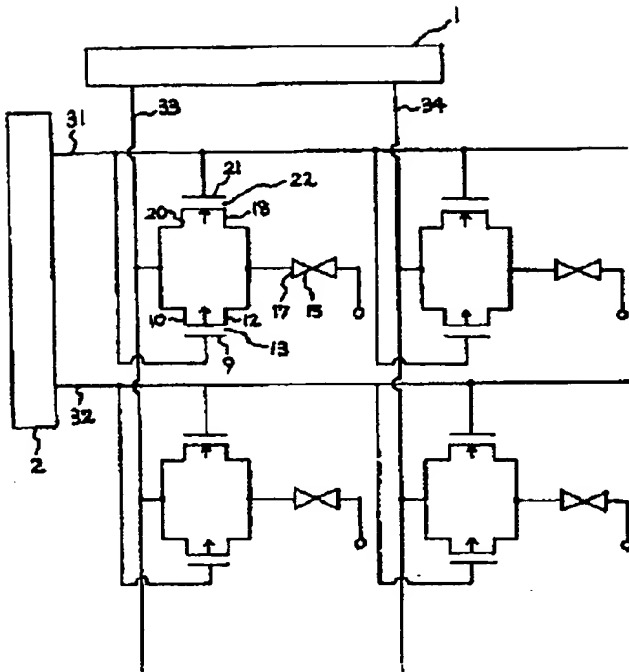
【補正対象書類名】図面

【補正対象項目名】図5

【補正方法】変更

【補正内容】

【図5】



【手続補正書】

【提出日】平成4年3月26日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】 本発明による回路構成を示す。

【図2】 本発明による装置の構造を示す。

【図3】 本発明による駆動方法を示す。

【図4】 本発明によるプロセスフローを示す。

【図5】 本発明によるプロセスフローを示す。

【図6】 本発明による回路構成を示す。

【図7】 本発明による装置の構造を示す。

【図8】 本発明による駆動方法を示す。

【手続補正2】

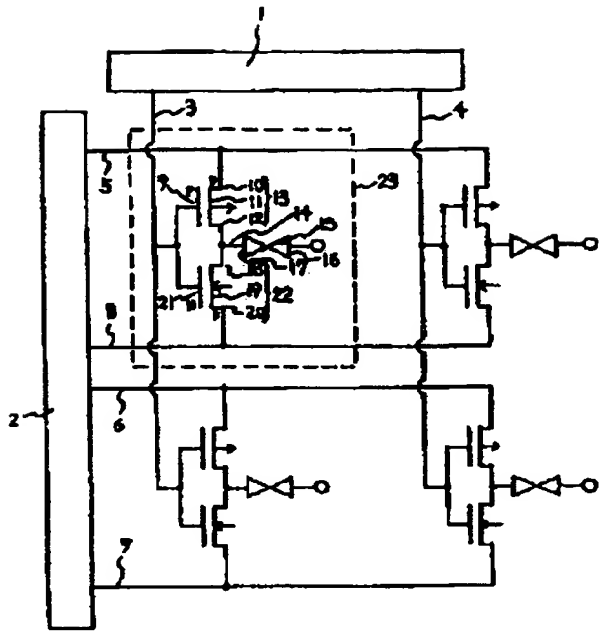
【補正対象書類名】図面

【補正対象項目名】全図

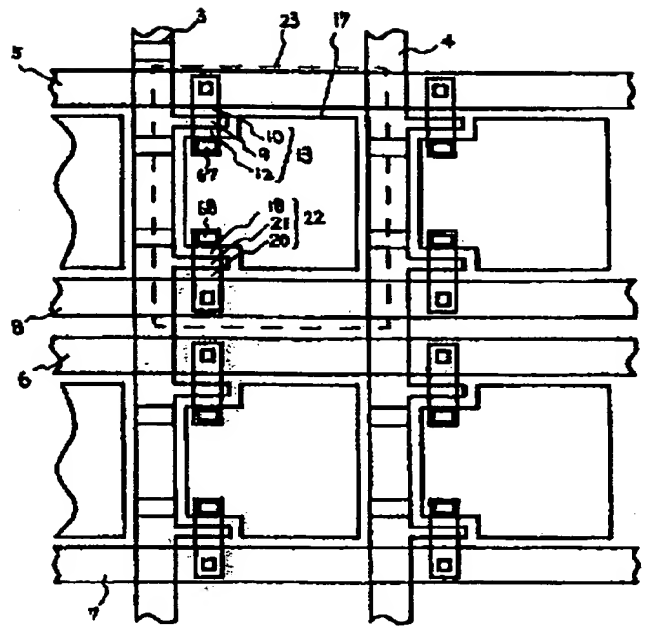
【補正方法】変更

【補正内容】

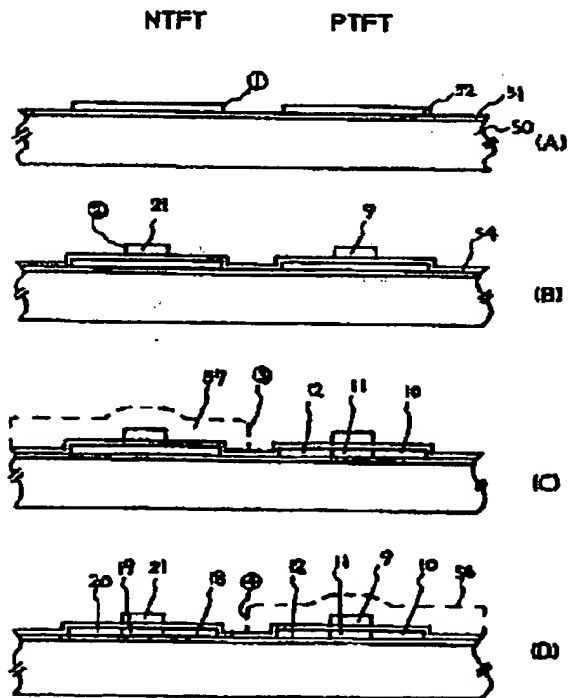
【図1】



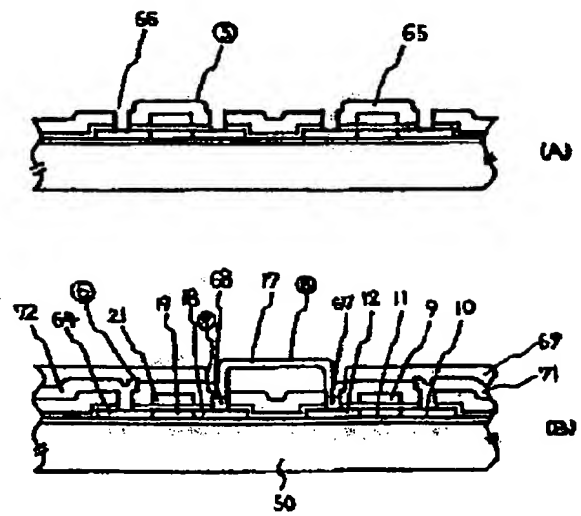
【図2】



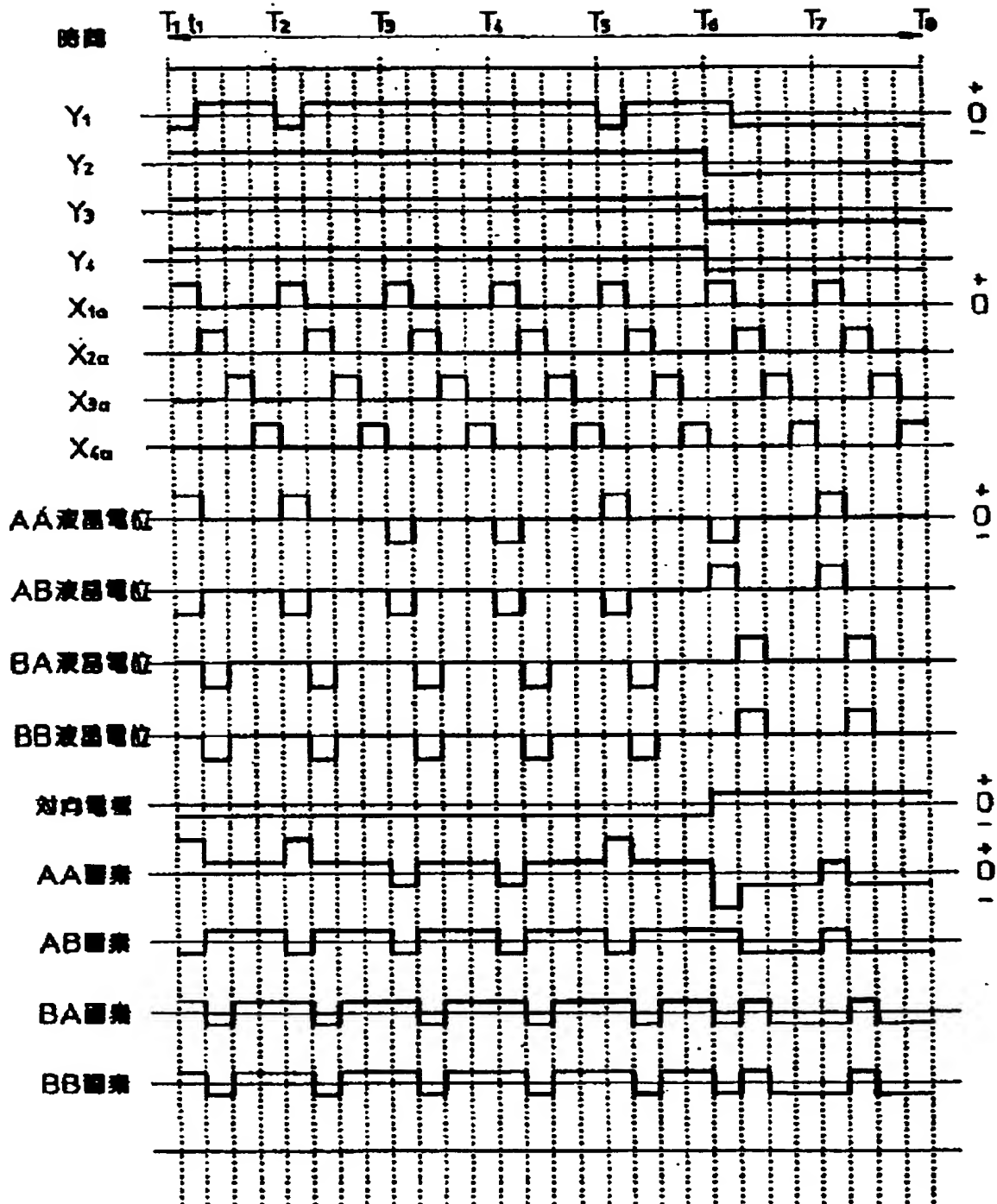
【図4】



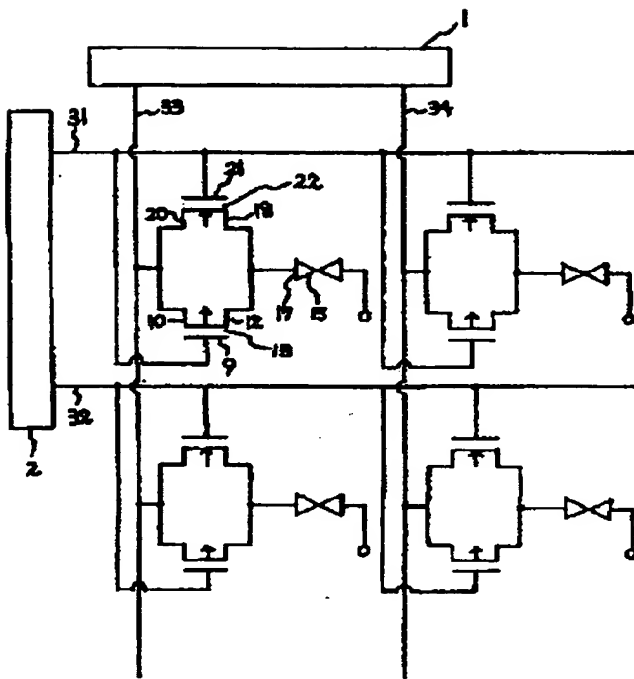
【図5】



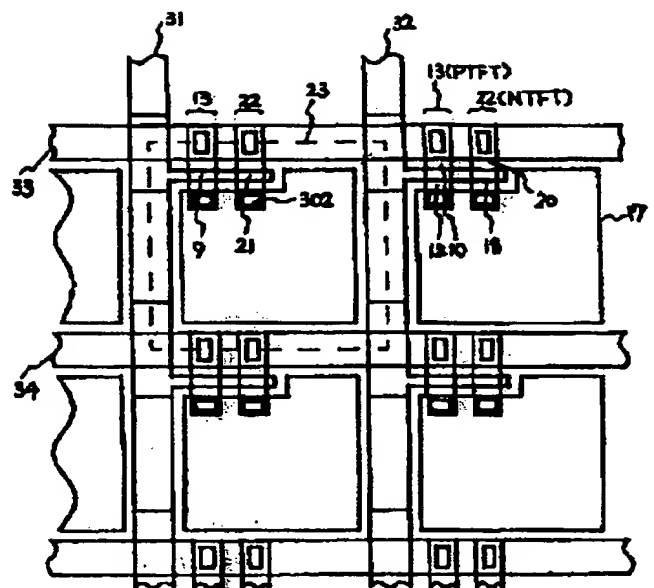
【図3】



【例 6】



【图 7】



【図8】

